

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 60-165847

(43)Date of publication of application : 29.08.1985

(51)Int.Cl.

H04H 5/00
// H03C 1/54

(21)Application number : 59-022317

(71)Applicant : ROHM CO LTD

(22)Date of filing : 08.02.1984

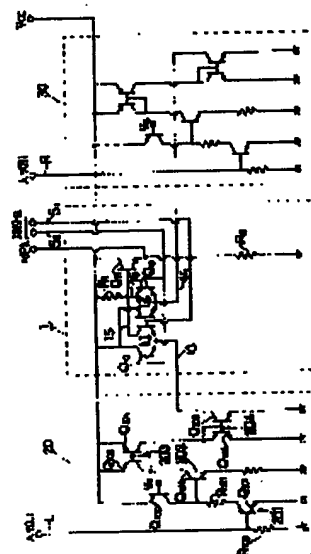
(72)Inventor : TAKIGIRI KAZUYA
SHIMADA GIICHI

(54) TIME DIVISION MULTIPLEXER

(57)Abstract:

PURPOSE: To simplify the circuit constitution and also to make the multiplexer suitable for formation of integrated circuit by constituting a processing circuit processing a right signal and a left signal of a stereo with an amplifier circuit and a current mirror circuit.

CONSTITUTION: Processing circuits 20, 30 are constituted identically. The processing circuit 20 includes signal amplifier circuits 201, 201 and current mirror circuit 203, 204. In the processing circuit 20, the left signal at a terminal L is amplified by the signal amplifier circuits 201, 202. In this case, since transistor TRQ100 acts like a constant current source, the amplifier circuit 202 amplifies the left signal in response to the level. The amplified left signal is given to a differential amplifier 11 via both the current mirror circuits 203, 204. This is applied similarly to the right signal. Thus, the circuit constitution is simplified and no bypass capacitor is required.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑫ 公開特許公報(A)

昭60-165847

⑬ Int.Cl.⁴

H 04 H 5/00
// H 03 C 1/54

識別記号

庁内整理番号

Z-7459-5K
7402-5J

⑭ 公開 昭和60年(1985)8月29日

審査請求 有 発明の数 1 (全4頁)

⑮ 発明の名称 時分割マルチプレクサ

⑯ 特 願 昭59-22317

⑰ 出 願 昭59(1984)2月8日

⑱ 発 明 者 瀧 桐 和 也 京都市右京区西院溝崎町21番地 ローム株式会社内
⑲ 発 明 者 島 田 義 一 京都市右京区西院溝崎町21番地 ローム株式会社内
⑳ 出 願 人 ローム株式会社 京都市右京区西院溝崎町21番地
㉑ 代 理 人 弁理士 岡田 和 秀

明 細 書

1、発明の名称

時分割マルチプレクサ

2、特許請求の範囲

(1) 第1, 第2 差動増幅器を含む信号合成回路を備え、この信号合成回路の前記両差動増幅器の各入力側にステレオの左信号と右信号とが与えられ、前記両差動増幅器の各出力側が共通に接続され、交互に所定の速度で前記両差動増幅器がスイッチング動作されることにより前記両信号を合成して合成信号を出力し、また前記両差動増幅器の各入力側にそれぞれ接続され、左信号と右信号とをそれぞれ処理する第1, 第2 処理回路を有する時分割マルチプレクサにおいて、前記両処理回路はそれぞれ信号増幅回路と、この信号増幅回路の出力側と差動増幅器の入力側との間に接続されたカレントミラー回路とを含むことを特徴とする時分割マルチプレクサ。

3、発明の詳細な説明

本発明は、ステレオの左信号と右信号とを例え

ば最高周波数の2倍以上の速度(例えば38KHz)で送信機と受信機とを同期させてスイッチングさせてなる合成信号を得、これにより前記両信号を同じ電波で送信するようにした時分割方式のステレオに用いて好適な合成信号形成用の時分割マルチプレクサに関する。

第1図は従来例のマルチプレクサの回路構成図である。第1図において、1は第1, 第2 差動増幅器11, 12を含む信号合成回路である。この信号合成回路1の前記両差動増幅器11, 12の各入力側13, 14にステレオの左信号と右信号とが与えられ、各出力側15, 16は共通に接続される。前記両差動増幅器11, 12は端子S1およびS2に与えられる互いに逆位相の例えば38KHzのパルスによって交互にスイッチング動作され、このスイッチングにより前記両信号を合成して端子MPXへ出力する。端子MPXから出力された合成信号は図示しない発振器の出力で変調されて送信されるようになっている。また、2、3は前記両差動増幅器11, 12の各入力側13,

14にそれぞれ接続され、左信号と右信号とをそれぞれ処理して前記両差動増幅器11,12に与える第1,第2処理回路である。

ところで、前記両処理回路2,3は同じ構成であるので両処理回路2,3の内、例えば第1処理回路2について説明すると、第1処理回路2はトランジスタQ1ないしQ11および抵抗R1,R2,R3で構成され、このうちトランジスタQ5,Q8は差動増幅器21を構成している。端子Lに左信号が与えられると、その左信号は抵抗R3を介して差動増幅器21の一方のトランジスタQ8のベースに入力される。この差動増幅器21の他方のトランジスタQ5のベース電位は電源電圧Vccを抵抗R4,R5で分割した一定電位であるので一方のトランジスタQ8の出力側には左信号に応じた電流が流れ、この電流はトランジスタQ6,Q7で構成されるカレントミラー回路22を介して図示の各トランジスタQ2,Q1に与えられ、更にもう1つのカレントミラー回路23を介して信号合成回路1内の一方向の差動増幅器11の入力側

13に与えられる。ところが、このような従来例のものでは、回路構成が非常に複雑であるので全体のサイズが大形化する上に製造コストが高くなる。また、例えば第1処理回路2の差動増幅器21の他方のトランジスタQ5のベースには前記のように一定の電圧をあたえるためのバイアス回路24(抵抗R4,R5)が接続されているが、このバイアス回路には、端子Cにバイパス用コンデンサを外付けする必要がある。このコンデンサの外付けは、回路をIC化する場合には不利である。

本発明は、上述の事情に鑑みてなされたものであって、回路構成を単純化して全体のサイズの小型化を可能にするとともに、その製造コストを低減し、またバイパス用コンデンサを不要にしてIC化に適するようにすることを目的とする。

以下、本発明を図面に示す実施例に基づいて詳細に説明する。第2図は、この実施例の回路図であり、第1図と対応する部分には同一の符号を付す。第2図において、符号1は第1,第2差動増幅器11,12を含む信号合成回路であり、従来

例と同一である。即ち、信号合成回路1の前記両差動増幅器11,12の各入力側13,14にステレオの左信号と右信号とが与えられる。前記両差動増幅器11,12の各出力側15,16は共通に接続される。前記両差動増幅器11,12は交互に所定の速度(例えば38KHz)でスイッチング動作される。両差動増幅器11,12はこのスイッチングにより前記両信号を合成して合成信号を出力する。この合成信号は端子MPXから出力される。端子MPXから出力された合成信号は図示しない発振器の出力で変調されて送信されるようになっている。また、20,30は前記両差動増幅器11,12の各入力側13,14にそれぞれ接続され、左信号と右信号とをそれぞれ処理して前記両差動増幅器11,12に与える第1,第2処理回路である。Rは右信号入力用端子、MPXは合成信号出力用端子、S1,S2はスイッチング動作の信号、例えば38KHzの信号の入力用端子である。

この実施例の要部は第1,第2処理回路20,3

0の回路構成である。両処理回路20,30は同じ構成であるので両処理回路20,30の内、例えば第1処理回路20の構成について説明する。第1処理回路20はそれぞれトランジスタQ101とトランジスタQ103で構成された第1,第2信号増幅回路201,202と、この信号増幅回路201,202の出力側と信号合成回路1の第1差動増幅器11の入力側13との間に接続されて、それぞれトランジスタQ102,104とトランジスタQ105,106とで構成された第1,第2カレントミラー回路203,204とを含む。Q100は定電流源としてのトランジスタである。

この処理回路20によれば、端子Lに左信号が入力されると、第1信号増幅回路201と第2信号増幅回路202とで、その左信号は増幅される。この場合、トランジスタQ100は定電流源として動作するので、第2信号増幅回路202は左信号の大きさに応じてそれを増幅する。増幅された左信号は両カレントミラー回路203,204を

介して第1差動増幅器11の入力側13に与えられる。こうして、右信号も同様にして第2処理回路30で処理されて第2差動増幅器12の入力側14に与えられる。したがって、この実施例では、回路構成が非常に簡単であるとともに、第1図のようにバイパス用コンデンサが不要である。このため、従来の前記した問題点が解決される。

以上のように、本発明によれば、両処理回路はそれぞれ信号増幅回路と、この信号増幅回路の出力側と差動増幅器の入力側との間に接続されたカレントミラー回路とを含むだけの構成であるので、差動増幅器が不要となりその分、従来よりも回路構成が簡単化し、これによりて全体のサイズの小型化が可能になるとともに、その製造コストを低減することができる。また、バイパス用コンデンサが不要になるのでIC化に適する。

4、図面の簡単な説明

第1図は従来例の回路構成図、第2図は本発明の実施例の回路構成図である。

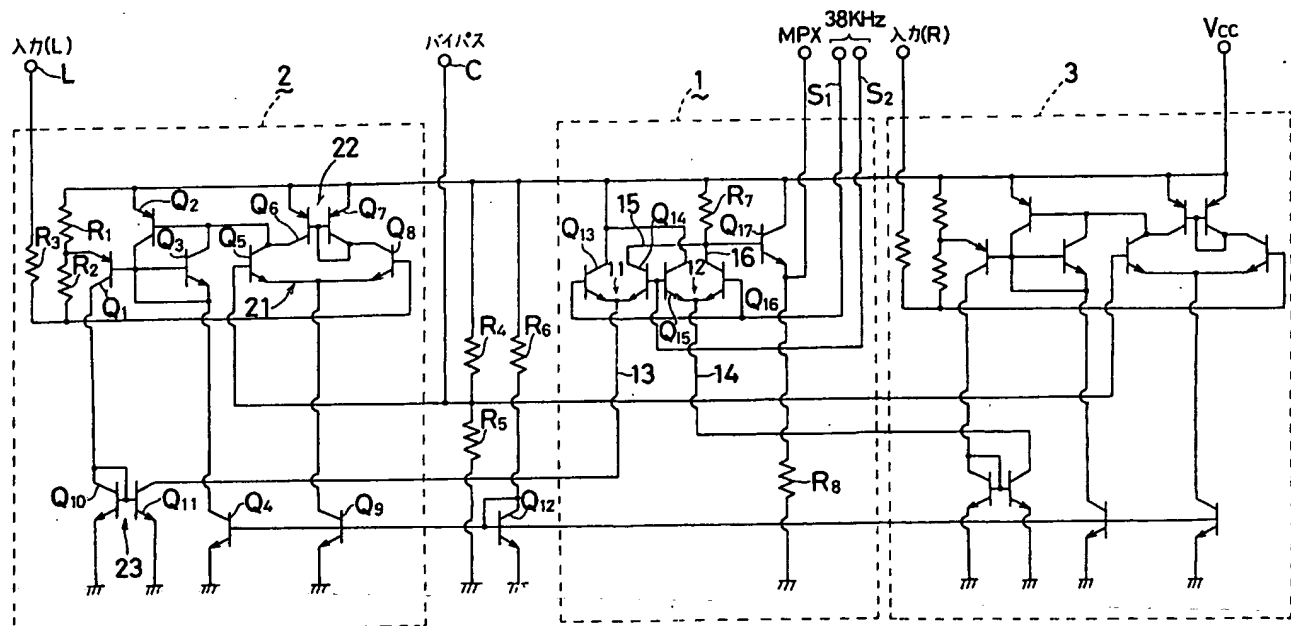
1は信号合成回路、20,30は第1,第2処理

回路、201,202は第1,第2信号増幅回路、203,204は第1,第2カレントミラー回路。

出願人 ローム株式会社

代理人 弁理士 岡田 和 秀

第 1 図



第 2 図

